

CARRY LOOK-AHEAD ADDER

Patent Number: JP5061643
Publication date: 1993-03-12
Inventor(s): TSUJIIHASHI YOSHIKI; others: 01
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP5061643
Application Number: JP19910222833 19910903
Priority Number(s):
IPC Classification: G06F7/50
EC Classification:
Equivalents:

Abstract

PURPOSE: To speed up carry propagation in an adder using a carry look-ahead system.
CONSTITUTION: The carry look-ahead system is hierarchically used for plural adders (ADDs) 1a-0, 1a-1... each of which forms a sum output, a carry forming signal and a carry propagation signal from two input signals to be added and a carry-in signal from a lower digit, plural carry formation/propagation signal forming circuits (4GPs) 1c-0, 1c-1... for inputting carry forming signals and carry propagation signals formed from respective ADDs and forming carry formation signals and carry propagation signals corresponding to plural bits and plural carry by-pass circuits (CLAs) 1b-0, 1b-1... for forming carry-out signals to upper digits from respective carry formation signals, carry propagation signals and carry-in signals from respective lower digits and the value of the initial CLA is constituted so as to be minimum in all the CLAs excluding the final CLA.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-61643

(43) 公開日 平成5年(1993)3月12日

(51) Int.Cl.⁵

G 0 6 F 7/50

識別記号

庁内整理番号

F I

技術表示箇所

G 9291-5B

審査請求 未請求 請求項の数2(全 9 頁)

(21) 出願番号 特願平3-222833

(22) 出願日 平成3年(1991)9月3日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 辻橋 良樹

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社カスタム・エル・エス・アイ設計

技術開発センター内

(72) 発明者 松本 尚

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社カスタム・エル・エス・アイ設計

技術開発センター内

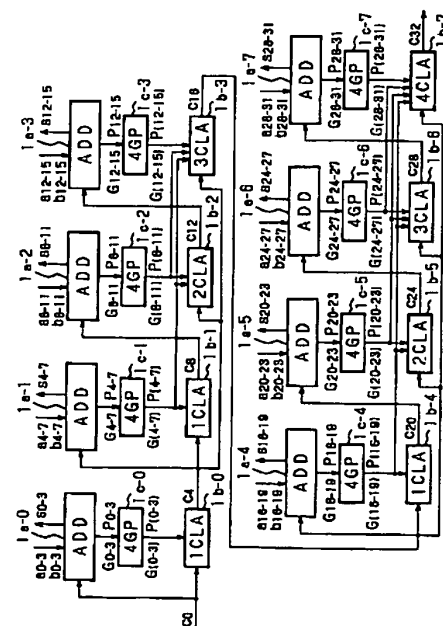
(74) 代理人 弁理士 高田 守 (外1名)

(54) 【発明の名称】 キヤリールックアヘッド加算器

(57) 【要約】 (修正有)

【目的】 キヤリールックアヘッド方式を用いる加算器において、キャリー伝搬をより高速化する。

【構成】 加算対象である2組の入力信号と、下位桁からのキャリーイン信号とから、和出力と、キャリー生成信号と、キャリー伝搬信号とを生成する複数の加算器(ADD)1a-0, 1a-1 …に対して、それぞれが生成するキャリー生成信号と、キャリー伝搬信号とを入力とし、複数ビット分のキャリー生成信号とキャリー伝搬信号とを生成する複数のキャリー生成/伝搬信号生成回路(4GP)1c-0, 1c-1 …と、それぞれがキャリー生成信号と、キャリー伝搬信号と、下位桁からのキャリーイン信号とから、上位桁へのキャリーアウト信号を生成する複数のキャリーバイパス回路(4CLA)1b-0, 1b-1 …とでキヤリールックアヘッド方式が階層的に用いられ、初段に位置するキャリーバイパス回路(4CLA)の数が最終段を除く全てのキャリーバイパス回路(4CLA)の中で最小となるように構成する。



1

【特許請求の範囲】

【請求項1】 それぞれが加算対象である2組の1ビットの入力信号と、下位桁からのキャリーイン信号とから、1ビットの和出力と、1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号とを生成する複数の第1の演算回路と、

それぞれが前記第1の演算回路が生成する1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号とを入力とし、1ビット分のキャリー生成信号と1ビット分のキャリー伝搬信号とを生成する複数の第2の演算回路と、

それぞれがjビットのキャリー生成信号と、jビットのキャリー伝搬信号と、下位桁からのキャリーイン信号とから、上位桁へのキャリーアウト信号を生成する複数の第3の演算回路とを備えたキャリールックアヘッド加算器において、

前記複数の第3の演算回路は、

相互に入力のビット数jが異なり、且つ共通のキャリーイン信号が与えられる複数のグループを構成し、

各グループ内の最大の入力ビット数の第3の演算回路のキャリーアウト信号が上位桁側のグループのキャリーイン信号として順次与えられ、

最下位桁側に位置するグループを構成する第3の演算回路の数が最上位桁側を除く他の全てのグループ中で最小となるようにキャリーイン信号が与えられていることを特徴とするキャリールックアヘッド加算器。

【請求項2】 最下位桁側に位置するグループを構成する第3の演算回路の数が1であることを特徴とする請求項1に記載のキャリールックアヘッド加算器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は2値デジタル算術演算器であるキャリールックアヘッド加算器に関し、更に詳述すれば、階層的にキャリールックアヘッド方式を用いたキャリールックアヘッド加算器におけるキャリー伝搬の改良に関する。

【0002】

【従来の技術】 マルチプロセッサ、DSP(デジタルシグナルプロセッサ)等の演算部の中核はデジタルデータの加算機能により構成されている。代表的なデジタル加算器としてリップル(ripple)加算器が知られている。以下にまずリップル加算器について説明する。

【0003】 リップル加算器は1ビット全加算器にて構成される。全加算器は、加算対象である二つの数と下位桁からのキャリーインとを加算し、和とキャリーアウトとを出力する。全加算器のキャリーアウトは、隣合う上位桁のキャリーインとして機能するので、n個の全加算器をそれぞれ隣合う下位桁のキャリーアウトと上位桁のキャリーインとを順次接続すれば、nビットのリップル加算器を構成することが出来る。

2

【0004】 しかし、リップル加算器においては、ある桁の加算を行う前にその下位桁のキャリーが確定している必要があるため、演算実行時間は加算対象の数の桁数に比例する。従って、近年の処理ビット数の増大、即ち8ビットから16ビットへ、更に32ビットへの処理ビット数の増大に伴って、演算処理時間が長大化するという問題が生じつつある。

【0005】 このような問題の解決を目的として、キャリールックアヘッド方式の加算器が開発されている。代表的なキャリールックアヘッド回路は、加算されるべき所定数のビットを調べることににより、各ビットを加算して和を算出する前にキャリーアウトが発生する。従って、代表的なキャリールックアヘッド方式による加算器は、一对の4ビットをまとめて1グループとし、各グループにおける和を出力する前に次のグループへのキャリーアウトを供給する。即ち、キャリールックアヘッド方式による加算器は、全てのビットに亘ってキャリーが伝搬する際のゲート段数を低減することにより、演算実行時間の短縮を図っている。

【0006】 以下、従来の加算器のキャリー伝搬について図面を参照して説明する。

【0007】 図1は32ビットリップルキャリー加算器の従来の構成例を示すブロック図である。

【0008】 図1において、参照符号4a-0、4a-1...4a-31はそれぞれ1ビットの全加算器(FA)を示している。これらの全加算器4a-0、4a-1...4a-31により、キャリーインと共に加算対象である二つの32ビットの数a及びbを加算し、和及びキャリーアウトを生成する。たとえば、最下位ビットである0ビット目の全加算器4a-0は、キャリーインc₀と加算対象である32ビット数a及びbの0ビット目a₀、b₀を入力し、和の0ビット目s₀と、1ビット目へのキャリーc₁とを生成する。

【0009】 同様の処理が1ビット目の全加算器4a-1でも行われる。即ち、1ビット目の全加算器4a-1は、キャリーインc₁、加算対象である32ビット数の1ビット目a₁及び32ビット数bの1ビット目b₁を入力し、和の1ビット目s₁と2ビット目へのキャリーc₂とを生成する。

【0010】 以下、同様の処理が2ビット目から31ビット目までの各全加算器4a-2、4a-3...4a-31で順次反復されることにより、加算対象である32ビット数aと同じくbとの加算が実行される。

【0011】 以上のように、32ビットリップルキャリー加算器の場合には、逐次32回のキャリー伝搬が発生するため、1回のキャリー伝搬に要する時間の32倍の時間が経過した後にキャリーc₃₂が生成される。

【0012】 図2はキャリールックアヘッド方式の32ビット加算器の従来の構成例を示すブロック図である。

【0013】 図2において、参照符号5a-0、5a-1...5a-7はいずれも4ビット加算器(ADD)を示している。これら

3

の各4ビット加算器(ADD)5a-0, 5a-1...5a-7により、キャリーインと共に加算対象である二つの4ビット数a及びbを加算し、4ビットのキャリー生成信号G、4ビットのキャリー伝搬信号P及び4ビットの和sを生成する。

【0014】参照符号5b-0, 5b-1...5b-7は4ビットキャリーバイパス回路(4CLA)を示している。これらの各4ビットキャリーバイパス回路(4CLA)5b-0, 5b-1...5b-7により、前段からのキャリーイン $c_0, c_4 \dots c_{28}$ と各4ビット加算器(ADD)5a-0, 5a-1...5a-7の4ビットのキャリー生成信号 $G_{0-3}, G_{4-7} \dots G_{28-31}$ 及び4ビットのキャリー伝搬信号 $P_{0-3}, P_{4-7} \dots P_{28-31}$ とから4ビットの上位桁へのキャリーアウト $c_4, c_8 \dots c_{32}$ が生成される。

【0015】各4ビット加算器(ADD)5a-0, 5a-1...5a-7*

$$c_{n+1} = G_n + P_n \cdot c_n \quad \dots(4)$$

【0020】また、各4ビットキャリーバイパス回路(4

CLA)5b-0, 5b-1...5b-7の内部では以下の論理式(5), (6), 20

(7)に基づいて演算が実行されている。

$$G_{(n-n+3)} = G_{n+3} + P_{n+3} \cdot G_{n+2} + P_{n+3} \cdot P_{n+2} \cdot G_{n+1} + P_{n+3} \cdot P_{n+2} \cdot P_{n+1} \cdot G_n \quad \dots(5)$$

【0022】

$$P_{(n-n+3)} = P_{n+3} \cdot P_{n+2} \cdot P_{n+1} \cdot P_n \quad \dots(6)$$

【0023】

$$c_{n+4} = G_{(n-n+3)} + P_{(n-n+3)} \cdot c_n \quad \dots(7)$$

【0024】上記式(5), (6), (7)において、 $G_{(n-n+3)}$ 及び $P_{(n-n+3)}$ はそれぞれ4ビット分のキャリー生成信号及びキャリー伝搬信号である。このような論理式を実現するための回路構成としては既に種々の回路が提案されている。

【0025】ところで上述の論理式において、キャリー生成信号G及びキャリー伝搬信号Pは加算対象である数a及びbのみに依存しており、全ての桁において並列に実行可能である。従って、キャリー伝搬は各4ビットそれぞれについて1回であり、 c_0 から c_{32} までのキャリーの伝搬遅延時間は、リップル加算器の場合の約1/4に短縮される。但しより正確には、二つの32ビット数a及びbとキャリーイン c_0 とが同時に入力された場合のクリティカルパスは、最下位の4ビット加算器(ADD)5a-0へのa, b入力から他の全ての4ビット加算器(ADD)5a-1, 5a-2...5a-7を信号が通過するパスである。これは、 c_4 を生成する4ビットキャリーバイパス回路(4CLA)5b-0への入力 G_{0-3} 及び P_{0-3} が c_0 よりも遅いためである。

4

*の内部では以下の論理式(1), (2), (3), (4)に基づいて演算が実行される。

【0016】

【数1】

$$G_n = a_n \cdot b_n \quad \dots(1)$$

【0017】

【数2】

$$P_n = a_n \oplus b_n \quad \dots(2)$$

【0018】

【数3】

$$s_n = P_n \oplus c_n \quad \dots(3)$$

【0019】

【数4】

【数5】

【数6】

【数7】

【0021】

【数5】

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

※

$G(G_{0-3}, G_{4-7} \dots G_{28-32})$ と4ビットのキャリー伝搬信号 $P(P_{0-3}, P_{4-7} \dots P_{28-32})$ とから、4ビット分のキャリー生成信号 $G(\)$ ($G_{(0-3)}, G_{(4-7)} \dots G_{(28-32)}$) と4ビット分のキャリー伝搬信号 $P(\)$ ($P_{(0-3)}, P_{(4-7)} \dots P_{(28-32)}$) とを生成する。

【0029】また、参照符号6b-0, 6b-1...6b-7はキャリールックアヘッド2階層目の回路であるキャリーバイパス回路(1CLA, 2CLA, 3CLA, 4CLA, 1CLA, 2CLA, 3CLA, 4CLA)である。

【0030】各キャリーバイパス回路(1CLA, 2CLA, 3CLA, 4CLA)6b-0, 6b-1, 6b-2, 6b-3にはキャリーイン信号 c_0 が入力され、それぞれ対応する4ビット分のキャリー生成/伝搬信号生成回路(4GP) 6c-0, 6c-1, 6c-2, 6c-3及びそれより下位側のキャリー生成/伝搬信号生成回路(4GP) 6c-0, 6c-1, 6c-2, 6c-3が生成した1ビット, 2ビット, 3ビット, 4ビットのキャリー生成信号 $G(\)$ ($G_{(0-3)}, G_{(4-7)}, G_{(8-11)}, G_{(12-15)}$) とキャリー伝搬信号 $P(\)$ ($P_{(0-3)}, P_{(4-7)}, P_{(8-11)}, P_{(12-15)}$) とを入力としてキャリーをバイパスする。

【0031】また各キャリーバイパス回路(1CLA, 2CLA, 3CLA, 4CLA)6b-4, 6b-5, 6b-6, 6b-7にはキャリーイン信号 c_{16} が入力され、それぞれ対応する4ビット分のキャ

$$G_{(0-3)} = G_3 + P_3 \cdot G_2 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot P_2 \cdot P_1 \cdot G_0$$

【0035】 $P_{(0-3)} = P_3 \cdot P_2 \cdot P_1 \cdot P_0$

【0036】また、キャリールックアヘッド2階層目の回路であるキャリーバイパス回路(1CLA)6b-0では4ビット、同(2CLA)6b-1では8ビット、同(3CLA)6b-2では12ビット、同(4CLA)6b-3では16ビットそれぞれ上位へのキャ

$$c_8 = G_{(4-7)} + P_{(4-7)} \cdot G_{(0-3)} + P_{(4-7)} \cdot P_{(0-3)} \cdot c_0$$

となる。

【0039】キャリーバイパス回路(3CLA)6b-2では、

$$c_{12} = G_{(8-11)} + P_{(8-11)} \cdot G_{(4-7)} + P_{(8-11)} \cdot P_{(4-7)} \cdot G_{(0-3)} + P_{(8-11)} \cdot P_{(4-7)} \cdot P_{(0-3)} \cdot c_0$$

となる。

【0040】キャリーバイパス回路(4CLA)6b-3では、

$$c_{16} = G_{(12-15)} + P_{(12-15)} \cdot G_{(8-11)} + P_{(12-15)} \cdot P_{(8-11)} \cdot G_{(4-7)} + P_{(12-15)} \cdot P_{(8-11)} \cdot P_{(4-7)} \cdot G_{(0-3)} + P_{(12-15)} \cdot P_{(8-11)} \cdot P_{(4-7)} \cdot P_{(0-3)} \cdot c_0$$

となる。

【0041】ここで、 c_0 から c_{32} までのキャリーの伝搬遅延時間を考える場合、二つの32ビット数 a 及び b とキャリーイン c_0 とが同時に入力された場合のクリティカルパスは、最下位の4ビット加算器(ADD)6a-0への加算対象である二つの32ビット数 a 及び b の入力から4ビット加算器(ADD)6a-0, 4ビット分のキャリー生成/伝搬信号生成回路(4GP)6c-0, キャリーバイパス回路(4CLA)6b-3, 同じく6b-7(4CLA)へと信号通過するパスである。これは、キャリーイン c_{16} からキャリーアウト c_{32} を生

*キャリー生成/伝搬信号生成回路(4GP) 6c-4, 6c-5, 6c-6, 6c-7及びそれより下位側のキャリー生成/伝搬信号生成回路(4GP) 6c-4, 6c-5, 6c-6, 6c-7が生成した1ビット, 2ビット, 3ビット, 4ビットのキャリー生成信号 $G(\)$ ($G_{(16-19)}, G_{(20-23)}, G_{(24-27)}, G_{(28-31)}$) とキャリー伝搬信号 $P(\)$ ($P_{(16-19)}, P_{(20-23)}, P_{(24-27)}, P_{(28-31)}$) とを入力としてキャリーをバイパスする。

【0032】なお、最終段以外の各キャリーバイパス回路(1CLA, 2CLA, 3CLA, 4CLA, 1CLA, 2CLA, 3CLA)6b-0, 6b-1, 6b-2, 6b-3, 6b-4, 6b-5, 6b-6がバイパスしたキャリーアウト信号 $c_4, c_8 \dots c_{32}$ はそれぞれ次段の4ビット加算器(ADD)6a-1, 6a-2...6a-7にキャリーイン信号として入力され、初段の4ビット加算器(ADD)6a-0にはキャリーイン信号 c_0 が与えられる。

【0033】4ビット分のキャリー生成/伝搬信号生成回路(4GP)6c-0, 6c-1...6c-7では、前述の式(5)及び(6)と同じ演算が実行される。たとえば、最下位の4ビット分のキャリー生成/伝搬信号生成回路(4GP)6c-0では、以下の演算を実行する。

【0034】

※キャリーアウト c_4, c_8, c_{12}, c_{16} を生成する。たとえば、キャリーバイパス回路(1CLA)6b-0では、

$$c_4 = G_{(0-3)} + P_{(0-3)} \cdot c_0$$

となる。

【0038】キャリーバイパス回路(2CLA)6b-1では、

【0039】キャリーバイパス回路(3CLA)6b-2では、

【0040】キャリーバイパス回路(4CLA)6b-3では、

成するのは、キャリーバイパス回路6b-7(4CLA)の1段のみであるが、キャリーアウト c_{16} を生成するキャリーバイパス回路6b-3(4CLA)への入力であるキャリー生成信号 $G(\)$ 及びキャリー伝搬信号 $P(\)$ がキャリーイン c_0 よりも遅いためである。

【0042】

【発明が解決しようとする課題】以上のように構成され動作する階層的にキャリールックアヘッド方式を用いた従来の加算器では、キャリーをバイパスする回路の内の最も下位桁に配置されている回路への入力信号の到達時

7

刻が均衡せず、加算器のキャリー伝播をより高速化する上での障害となっている。

【0043】本発明はこのような事情に鑑みてなされたものであり、階層的にキャリールックアヘッド方式を用いる加算器において、キャリー伝搬をより高速化することを目的とする。

【0044】

【課題を解決するための手段】本発明に係るキャリールックアヘッド加算器は、加算対象である2組の1ビットの入力信号と、下位桁からのキャリーイン信号とから、1ビットの和出力と、1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号とを生成する複数の第1の演算回路に対して、それぞれが各第1の演算回路が生成する1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号とを入力とし、1ビット分のキャリー生成信号と1ビット分のキャリー伝搬信号とを生成する複数の第2の演算回路と、それぞれが1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号と、下位桁からのキャリーイン信号とから、上位桁へのキャリーアウト信号を生成する複数の第3の演算回路とでキャリールックアヘッド方式が階層的に用いられ、複数の第3の演算回路が、相互に入力のビット数jが異なり、且つ共通のキャリーイン信号が与えられる複数のグループを構成し、各グループ内の最大の入力ビット数の第3の演算回路のキャリーアウト信号が上位桁側のグループのキャリーイン信号として順次与えられ、最下位桁側に位置するグループを構成する第3の演算回路の数が最上位桁側を除く他の全てのグループ中で最小となるようにキャリーイン信号が与えられる。

【0045】

【作用】本発明に係るキャリールックアヘッド加算器では、加算対象である2組の1ビットの入力信号が下位桁からのキャリーイン信号と第1の演算回路で加算され、1ビットの和出力と、1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号とが生成される。各第1の演算回路が生成した1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号とは各第1の演算回路に対応する第2の演算回路に入力されて1ビット分のキャリー生成信号と1ビット分のキャリー伝搬信号とが生成される。これらは1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号と、下位桁からのキャリーイン信号としてそれぞれが複数の第3の演算回路に入力されて上位桁へのキャリーアウト信号が生成される。この際、最下位桁側に位置する第3の演算回路のグループを構成する第3の演算回路の数が最上位桁側を除く全ての第3の演算回路のグループの中で最小となるように構成されているので、下位桁側に配置されている第3の回路がキャリー信号をバイパスさせることによる入力信号の到達時刻を均衡させ、加算器のキャリー伝搬が高速化される。

【0046】

8

【実施例】以下、本発明をその実施例を示す図面に基いて詳述する。

【0047】図4は本発明に係る階層的にキャリールックアヘッド方式を用いた32ビットキャリールックアヘッド加算器の一構成例を示すブロック図である。

【0048】図4において、参照符号1a-0, 1a-1...1a-7はいずれも4ビット加算器(ADD)である。これらの各4ビット加算器(ADD)1a-0, 1a-1...1a-7はそれぞれ、キャリーインc(c₀, c₄...c₂₈)と共に加算対象である二つの4ビット数a(a₀₋₃, a₄₋₇...a₂₈₋₃₁)及びb(b₀₋₃, b₄₋₇...b₂₈₋₃₁)を加算し、4ビットのキャリー生成信号G(G₀₋₃, G₄₋₇...G₂₈₋₃₁)、4ビットのキャリー伝搬信号P(P₀₋₃, P₄₋₇...P₂₈₋₃₁)及び4ビットの和s(s₀₋₃, s₄₋₇...s₂₈₋₃₁)を生成する。

【0049】参照符号1c-0, 1c-1...1c-7はキャリールックアヘッド1階層目の回路である4ビット分のキャリー生成/伝搬信号生成回路(4GP)である。これらの各キャリー生成/伝搬信号生成回路(4GP)1c-0, 1c-1...1c-7は、それぞれ対応する4ビット加算器1a-0, 1a-1...1a-7(ADD)が生成した4ビットのキャリー生成信号G(G₀₋₃, G₄₋₇...G₂₈₋₃₁)と4ビットのキャリー伝搬信号P(P₀₋₃, P₄₋₇...P₂₈₋₃₁)とから、4ビット分のキャリー生成信号G_()(G₍₀₋₃₎, G₍₄₋₇₎...G₍₂₈₋₃₁₎)と4ビット分のキャリー伝搬信号P_()(P₍₀₋₃₎, P₍₄₋₇₎...P₍₂₈₋₃₁₎)とを生成する。

【0050】また、参照符号1b-0, 1b-1...1b-7はキャリールックアヘッド2階層目の回路であるキャリーバイパス回路(1CLA, 1CLA, 2CLA, 3CLA, 1CLA, 2CLA, 3CLA, 4CLA)である。これらの各キャリーバイパス回路(1CLA, 1CLA, 2CLA, 3CLA, 1CLA, 2CLA, 3CLA, 4CLA)1b-0, 1b-1...1b-7は、それぞれ対応するキャリーバイパス回路1b-0, 1b-1...1b-7(4GP)が生成した1, 1, 2, 3, 1, 2, 3, 4ビットのキャリー生成信号G_()(G₍₀₋₃₎, G₍₄₋₇₎...G₍₂₈₋₃₁₎)とキャリー伝搬信号P_()(P₍₀₋₃₎, P₍₄₋₇₎...P₍₂₈₋₃₁₎)とを入力してキャリーをバイパスする。

【0051】キャリーバイパス回路(1CLA)1b-0にはキャリーイン信号c₀が、キャリーバイパス回路(1CLA, 2CLA, 3CLA)1b-1, 1b-1, 1b-3にはキャリーバイパス回路(1CLA)1b-0からのキャリーアウト信号c₄がキャリーイン信号として、キャリーバイパス回路(1CLA, 2CLA, 3CLA, 4CLA)1b-4, 1b-5, 1b-6, 1b-7にはキャリーバイパス回路(3CLA)1b-3からのキャリーアウト信号c₁₆がキャリーイン信号としてそれぞれ入力されている。

【0052】そして、キャリーバイパス回路(1CLA)1b-0にはキャリー生成/伝搬信号生成回路(4GP)1c-0からのキャリー生成信号G₍₀₋₃₎とキャリー伝搬信号P₍₀₋₃₎とが、キャリーバイパス回路(1CLA)1b-1にはキャリー生成/伝搬信号生成回路(4GP)1c-1からのキャリー生成信

号 $G_{(4-7)}$ とキャリア伝搬信号 $P_{(4-7)}$ とが、キャリアバイパス回路(2CLA)1b-2にはキャリア生成/伝搬信号生成回路(4GP)1c-1, 1c-2からのキャリア生成信号 $G_{(4-7)}$ 及び $G_{(8-11)}$ とキャリア伝搬信号 $P_{(4-7)}$ 及び $P_{(8-11)}$ とが、キャリアバイパス回路(2CLA)1b-3にはキャリア生成/伝搬信号生成回路(4GP)1c-1, 1c-2, 1c-3からのキャリア生成信号 $G_{(4-7)}$, $G_{(8-11)}$ 及び $G_{(12-15)}$ とキャリア伝搬信号 $P_{(4-7)}$, $P_{(8-11)}$ 及び $P_{(12-15)}$ とがそれぞれ入力されている。

【0053】更に、キャリアバイパス回路(1CLA)1b-4にはキャリア生成/伝搬信号生成回路(4GP)1c-4からのキャリア生成信号 $G_{(16-19)}$ とキャリア伝搬信号 $P_{(16-19)}$ とが、キャリアバイパス回路(1CLA)1b-5にはキャリア生成/伝搬信号生成回路(4GP)1c-4, 1c-5からのキャリア生成信号 $G_{(16-19)}$ 及び $G_{(20-23)}$ とキャリア伝搬信号 $P_{(16-19)}$ 及び $P_{(20-23)}$ とが、キャリアバイパス回路(2CLA)1b-6にはキャリア生成/伝搬信号生成回路(4GP)1c-4, 1c-5, 1c-6からのキャリア生成信号 $G_{(0-3)}$

$$G_{(0-3)} = G_3 + P_3 \cdot G_2 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot P_2 \cdot P_1 \cdot G_0$$

$$【0057】 P_{(0-3)} = P_3 \cdot P_2 \cdot P_1 \cdot P_0$$

【0058】また、キャリアルックアヘッド2階層目の回路であるキャリアバイパス回路(1CLA)1b-0では4ビット、同(1CLA)1b-1では8ビット、同(2CLA)1b-2では12ビット、同(3CLA)1b-3では16ビットそれぞれ上位へのキャリアアウトを生成する。たとえば、キャリアバイパス回路(1CLA)1b-0では、

$$C_{12} = G_{(8-11)} + P_{(8-11)} \cdot G_{(4-7)} + P_{(8-11)} \cdot P_{(4-7)} \cdot C_0$$

となる。

30 【0061】キャリアバイパス回路(3CLA)1b-3では、

$$C_{16} = G_{(12-15)} + P_{(12-15)} \cdot G_{(8-11)} + P_{(12-15)} \cdot P_{(8-11)} \cdot G_{(4-7)} + P_{(12-15)} \cdot P_{(8-11)} \cdot P_{(4-7)} \cdot C_0$$

となる。

【0062】ここで、 c_0 から c_{32} までのキャリアの伝搬遅延時間を考える場合、二つの32ビット数 a 及び b とキャリアイン c_0 とが同時に入力された場合のクリティカルパスは、最下位から2番目の4ビット加算器(ADD)1a-1への二つの32ビット数 a 及び b の入力から4ビット加算器(ADD)1a-1, 4ビット分のキャリア生成/伝搬信号生成回路(4GP)1c-1, キャリアバイパス回路1b-3(3CLA), 同1b-7(4CLA)へと信号が通過するパスである。これは、 c_{16} から c_{32} を生成するのは、キャリアバイパス回路1b-7(4CLA)の1段のみであるが、 c_{16} を生成するキャリアバイパス回路1b-3(3CLA)への入力 $G_{()}$ 及び $P_{()}$ が c_4 よりも遅いためである。

【0063】ところで、 c_{16} を生成する回路は、図3に示されている従来の回路の場合はキャリアバイパス回路(4CLA)6b-3であり、この回路へのクリティカルな入力 $G_{(0-3)}$ 及び $P_{(0-3)}$ が4個のキャリアバイパス回路(1CL

* $(16-19)$, $G_{(20-23)}$ 及び $G_{(24-27)}$ とキャリア伝搬信号 $P_{(16-19)}$, $P_{(20-23)}$ 及び $P_{(24-27)}$ とが、キャリアバイパス回路(2CLA)1b-7にはキャリア生成/伝搬信号生成回路(4GP)1c-4, 1c-5, 1c-6, 1c-7からのキャリア生成信号 $G_{(16-19)}$, $G_{(20-23)}$, $G_{(24-27)}$ 及び $G_{(28-31)}$ とキャリア伝搬信号 $P_{(16-19)}$, $P_{(20-23)}$, $P_{(24-27)}$ 及び $P_{(28-31)}$ とがそれぞれ入力されている。

【0054】即ち、最下位桁側である初段側から順に、1個のキャリアバイパス回路(1CLA)1b-0, 3個のキャリアバイパス回路(1CLA, 2CLA, 3CLA)1b-1, 1b-1, 1b-3, 4個のキャリアバイパス回路(1CLA, 2CLA, 3CLA, 4CLA)1b-4, 1b-5, 1b-6, 1b-7がグループ化されている。

【0055】4ビット分のキャリア生成/伝搬信号生成回路(4GP)1c-0, 1c-1...1c-7では、式(5)及び(6)と同じ演算が実行される。たとえば、最下位の4ビット分のキャリア生成/伝搬信号生成回路(4GP)1c-0では、以下の演算を実行する。

【0056】

$$※ C_4 = G_{(0-3)} + P_{(0-3)} \cdot C_0$$

となる。

【0059】キャリアバイパス回路(1CLA)1b-1では、

$$C_8 = G_{(4-7)} + P_{(4-7)} \cdot C_0$$

となる。

【0060】キャリアバイパス回路(2CLA)1b-2では、

※

30 【0061】キャリアバイパス回路(3CLA)1b-3では、

$$C_{16} = G_{(12-15)} + P_{(12-15)} \cdot G_{(8-11)} + P_{(12-15)} \cdot P_{(8-11)} \cdot G_{(4-7)} + P_{(12-15)} \cdot P_{(8-11)} \cdot P_{(4-7)} \cdot C_0$$

A, 2CLA, 3CLA, 4CLA)6b-0, 6b-1, 6b-2, 6b-3に接続されているのに対して、図4に示されている構成の本発明の回路では、 c_{16} を生成するキャリアバイパス回路(3CLA)1b-3へのクリティカルな入力 $G_{(4-7)}$ 及び $P_{(4-7)}$ は3個のキャリアバイパス回路(1CLA, 2CLA, 3CLA)1b-1, 1b-2, 1b-3に接続されているため、配線長はより短く、負荷容量も少ない。

【0064】ここで、キャリアバイパス回路(2CLA)1b-2と同(3CLA)1b-3とを比較してみる。図5及び図6はそれぞれキャリアバイパス回路(4CLA)1b-7と同(3CLA)1b-3とをMOSトランジスタで構成した場合の回路図を示している。

【0065】図5及び図6において、参照符号p1, p2..., p11, p12...はp型MOSトランジスタを、n1, n2..., n11, n12...はn型MOSトランジスタをそれぞれ示す。

【0066】図5に示されているように、キャリアバイパス回路(4CLA)1b-7では、 $G_{()}$ が入力されるp型MOS

トランジスタP1, P2, P3, P4が直列に4個必要である。しかし、図6に示されているように、キャリアバイパス回路(3CLA)1b-3ではP11, P12, P13 が直列に3個で済む。これはP_iが入力されるn型MOSトランジスタに関しても同様である。このため、同等の大きさのMOSトランジスタで構成した場合には、キャリアバイパス回路(4CLA)1b-7よりも同(3CLA)1b-3の方がG_i及びP_iの入力から出力までの遅延は小さい。

【0067】なお、上記実施例では32ビットのキャリアルックアヘッド加算器について説明したが、32ビット以外のビット数の加算器にも本発明が適用可能であることは言うまでもない。また、キャリアルックアヘッド1階層目を構成するビット数が4ビット均一である場合を示したが、他のビット数でもよく、更に均一である必要もない。また、加算器のキャリアルックアヘッドの階層が3階層以上であってもよい。

【0068】

【発明の効果】以上に詳述した如く、本発明のキャリアルックアヘッド加算器によれば、初段に位置するキャリアルックアヘッド上位階層のグループを構成する下位階層のグループの数が最終段を除く全ての上位階層のグループの中で最小となるように構成されているので、クリ

ティカルパスとなる信号線の配線長が短くなり、負荷容量が低減し、回路規模が縮小され、このためキャリア伝搬が高速化されるなどの優れた効果を奏する。

【図面の簡単な説明】

【図1】32ビットリップルキャリア加算器の従来の構成例を示すブロック図である。

【図2】キャリアルックアヘッド方式の32ビット加算器の従来の構成例を示すブロック図である。

【図3】階層的にキャリアルックアヘッド方式を用いた32ビット加算器の従来の構成を示すブロック図である。

【図4】本発明に係る階層的にキャリアルックアヘッド方式を用いた32ビットキャリアルックアヘッド加算器の一構成例を示すブロック図である。

【図5】キャリアバイパス回路(4CLA)をMOSトランジスタで構成した場合の回路図である。

【図6】キャリアバイパス回路(3CLA)をMOSトランジスタで構成した場合の回路図である。

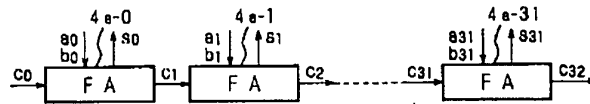
【符号の説明】

1a-1, 1a-2… 加算器(ADD)

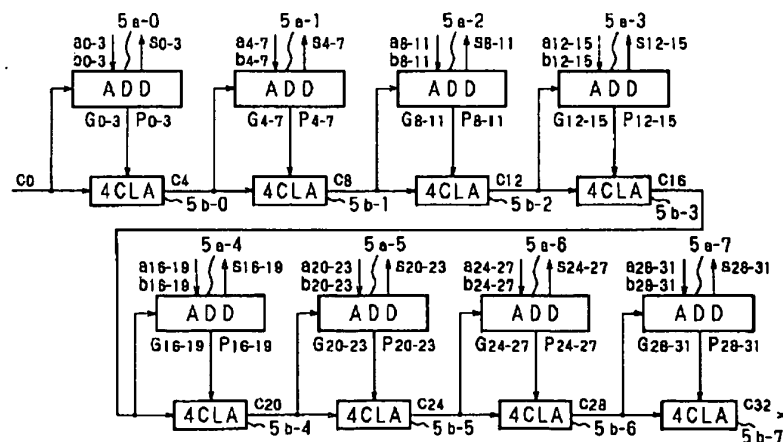
1b-0, 1b-1… キャリアバイパス回路(4CLA)

1c-0, 1c-1… キャリヤ生成/伝搬信号生成回路(4GP)

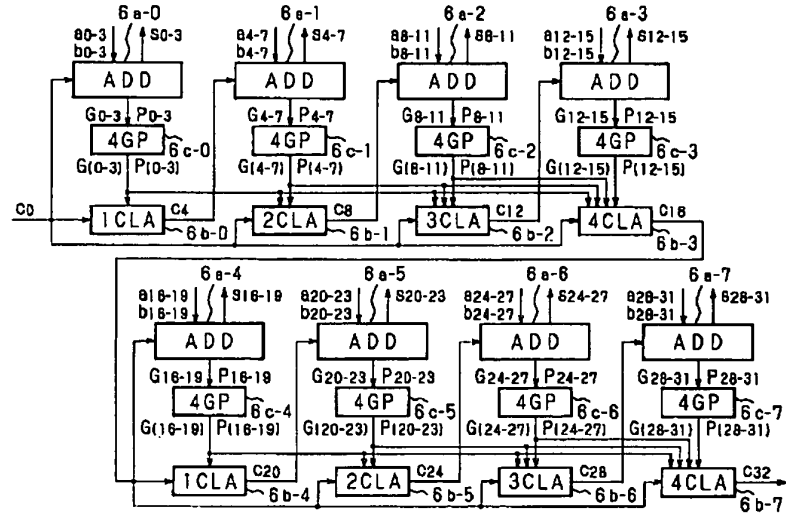
【図1】



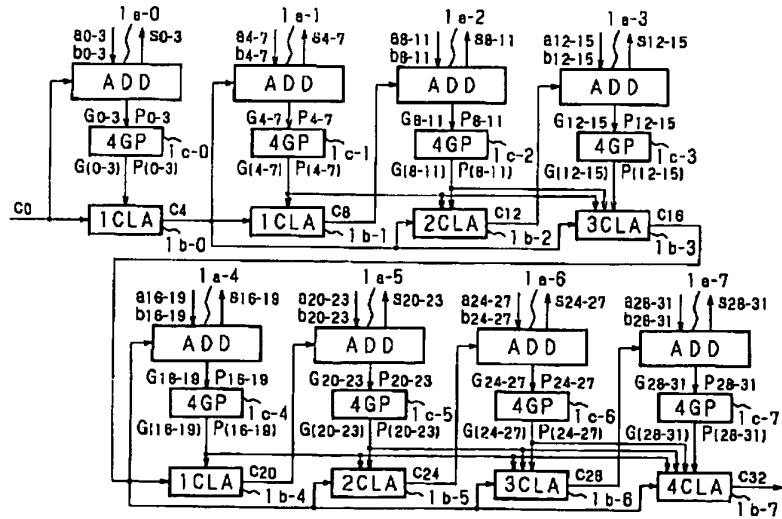
【図2】



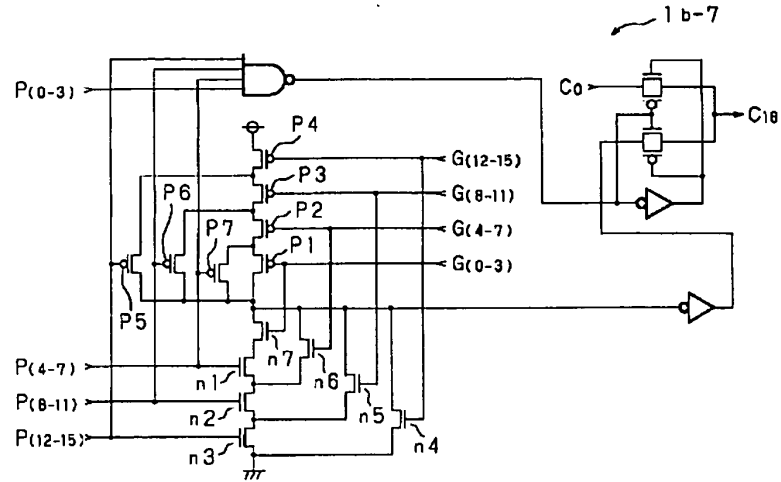
【図3】



【図4】



【図5】



【図6】

